

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-310817

(43)Date of publication of application : 04.11.2005

(51)Int.Cl.

H01L 23/12
H01L 21/3205
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2004-121647

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.04.2004

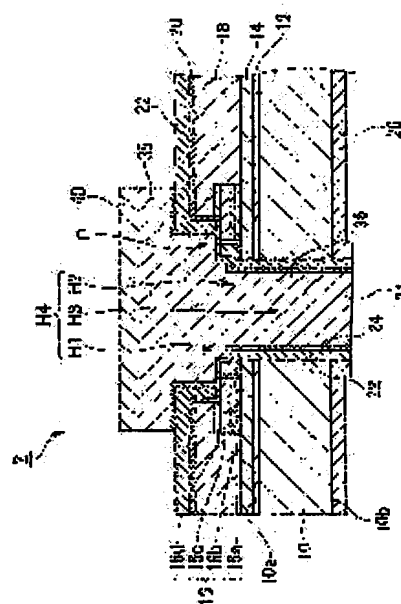
(72)Inventor : MIYAZAWA IKUYA

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, CIRCUIT BOARD, AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein the warping of a substrate can be suppressed or removed which comes from a difference in physical constant between the substrate and a functional layer formed on the substrate, and also to provide its manufacturing method, a circuit board, and an electronic apparatus.

SOLUTION: The method of manufacturing the semiconductor device having an electrode 34 extended through the substrate 10 comprises processes of forming a concave portion H4 in the active surface of the substrate; forming a first insulation layer on the active surface of the substrate including the inner surface of the concave portion; forming the electrode by filling the inside of the concave portion formed with the first insulation film 22 by a conductor; removing the rear face side of the active surface to expose the electrode and the first insulation film formed in the periphery of the electrode from the rear face of the active surface; and forming, on the rear face of the active surface, a second insulation layer 26 having the same direction for the internal stress as that of the first insulation layer.



(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2005-310817

(P2005-310817A)

(43) 公開日 平成17年11月4日 (2005. 11. 4)

(51) Int. Cl. ⁷

F 1

テーマコード (参考)

H 0 1 L 23/12

H 0 1 L 23/12

5 0 1 P

5 F 0 3 3

H 0 1 L 21/3205

H 0 1 L 25/08

Z

H 0 1 L 25/085

H 0 1 L 21/88

J

H 0 1 L 25/07

H 0 1 L 25/18

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号 特願2004-121647 (P2004-121647)

(22) 出願日 平成16年4月16日 (2004. 4. 16)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100107836

弁理士 西 和哉

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100101465

弁理士 青山 正和

(72) 発明者 宮沢 郁也

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

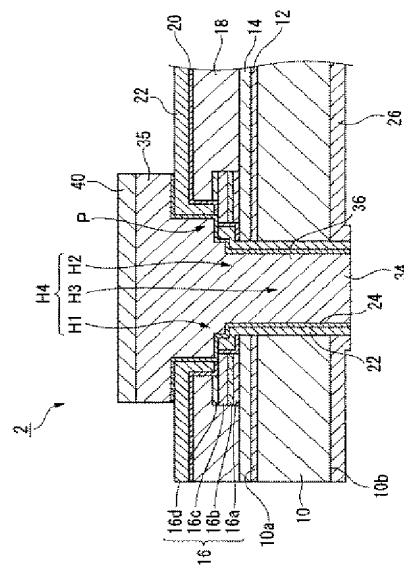
(54) 【発明の名称】 半導体装置の製造方法、回路基板、並びに電子機器

(57) 【要約】 (修正有)

【課題】 基板と基板に形成される機能層との物理定数の差により発生する基板の反りを抑制または除去することが可能な半導体装置および半導体装置の製造方法、回路基板、並びに電子機器を提供する。

【解決手段】 基板10を貫通する電極34を有する半導体装置の製造方法であって、基板の能動面に凹部H4を形成する工程と、凹部の内部を含む基板の能動面に第1の絶縁層を形成する工程と、第1の絶縁層22が形成された前記凹部の内部に導電体を充填して、電極を形成する工程と、能動面の裏面側を除去し、能動面の裏面から電極と電極の外周部に形成された第1の絶縁層とを露出させる工程と、能動面の裏面に内部応力の方向が第1の絶縁層と同じ方向である第2の絶縁層26を形成する工程と、を有する。

【選択図】 図1



【特許請求の範囲】

【請求項1】

基板を貫通する電極を有する半導体装置の製造方法であって、
前記基板の能動面に凹部を形成する工程と、
前記凹部の内部を含む前記基板の能動面に第1の絶縁層を形成する工程と、
前記第1の絶縁層が形成された前記凹部の内部に導電体を充填して、前記電極を形成する工程と、
前記能動面の裏面側を除去し、前記能動面の裏面から前記電極と前記電極の外周部に形成された第1の絶縁層とを露出させる工程と、
前記能動面の裏面に内部応力の方向が前記第1の絶縁層と同じ方向である第2の絶縁層を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記第2の絶縁層は、前記第1の絶縁層と同じ材料であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第2の絶縁層は、前記第1の絶縁層の厚さとほぼ等しいことを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】

基板を貫通する電極を有する半導体装置の製造方法であって、
基板の能動面に凹部を形成する工程と、
前記凹部の内部を含む前記基板の能動面に第1の絶縁層を形成する工程と、
前記第1の絶縁層上に内部応力の方向が前記第1の絶縁層と異なる方向である第2の絶縁層を積層する工程と、
前記絶縁層が形成された前記凹部の内部に導電体を充填して、前記電極を形成する工程と、
前記能動面の裏面側を除去し、前記能動面の裏面から前記電極、前記電極の外周部に形成された前記第1の絶縁層および前記第2の絶縁層を露出させる工程と、前記能動面の裏面から前記電極を露出させる工程と、を有することを特徴とする半導体装置の製造方法。

【請求項5】

請求項4に記載の半導体装置を備えることを特徴とする回路基板。

【請求項6】

請求項5に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法、回路基板、並びに電子機器に関する。

【背景技術】

【0002】

携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) 等の携帯型の電子機器では、小型化や軽量化への要求に伴い、内部に設けられている半導体チップなどの各種の電子部品の小型化が図られている。例えば半導体チップにおいては、そのパッケージング方法が工夫され、現在ではCSP (Chip Scale Package) といわれる超小型のパッケージングが提供されている。このCSP技術を用いて製造された半導体チップは、実装面積が半導体チップの面積と同程度となるため、高密度実装を実現している。

【0003】

従って、上記電子機器では、今後益々小型化および多機能化が求められる傾向にあることから、半導体チップの実装密度をさらに高める必要がある。かかる背景の下で、近

年、3次元実装技術が提案されている。この3次元実装技術は、同様の機能を有する半導体チップ同士、または異なる機能を有する半導体チップ同士を積層し、各半導体チップ間を配線接続することで、半導体チップの高密度実装を図る技術である（例えば、特許文献1参照）。

【特許文献1】特開2001-53218号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、上記半導体チップには貫通孔が形成され、この貫通孔には電極が形成されており、この電極によって半導体チップ同士のそれぞれを電氣的に接続し、上述した3次元実装技術を実現している。そして、この半導体チップの能動面および貫通孔には絶縁層が形成され、この絶縁層は、貫通孔内部の絶縁および半導体チップの裏面に形成される電極端子の保護膜として機能している。

しかしながら、上記半導体チップを構成する基板と基板に形成される絶縁層とは、それぞれ物理定数、すなわち、熱膨張係数および内部応力が異なる。さらに、上記絶縁層は、集積回路が形成されている能動面の一方にのみ形成されている。そのため、チップ化する場合に、基板と基板に形成される絶縁層との内部応力の差により、基板にストレス（応力）が生じ、このストレスによって基板が変形し、反りが発生する。このような基板の反りの発生によって、基板上に半導体チップを実装することが困難となる。さらに、上述したように、半導体チップ上に半導体チップを積層（3次元実装）する場合には、半導体チップの各々は、半導体チップの集積回路が形成されている能動面側または裏面側に湾曲して反るため、半導体チップを積層し、両半導体チップの電極を電氣的または機械的に接続させることが困難となる場合がある。

【0005】

本発明は、上記課題に鑑みてなされたものであり、基板と基板に形成される機能層との物理定数の差により発生する基板の反りを抑制または除去することが可能な半導体装置および半導体装置の製造方法、回路基板、並びに電子機器を提供することにある。

【課題を解決するための手段】

【0006】

本発明は、上記課題を解決するために、基板を貫通する電極を有する半導体装置の製造方法であって、前記基板の能動面に凹部を形成する工程と、前記凹部の内部を含む前記基板の能動面に第1の絶縁層を形成する工程と、前記絶縁層が形成された前記凹部の内部に導電体を充填して、前記電極を形成する工程と、前記能動面の裏面側を除去し、前記能動面の裏面から前記電極と前記電極の外周部に形成された第1の絶縁層とを露出させる工程と、前記能動面の裏面に内部応力の方向が前記第1の絶縁層と同じ方向である第2の絶縁層を形成する工程と、を有することを特徴とする。

【0007】

基板と基板の能動面に形成される絶縁層とは、それぞれ内部応力が異なる。チップ化する際に、この内部応力の差により、基板は、第1の基板の能動面側または裏面側に湾曲して反ることになる。本発明によれば、能動面の裏面側に内部応力が前記第1の絶縁層と同じ方向である第2の絶縁層を形成するため、第2の絶縁層の内部応力により、基板と基板の能動面に形成される第1の絶縁層との内部応力の差を、平衡または減少させることが可能となる。この結果、基板と基板の能動面に形成される第1の絶縁層と内部応力の差により発生する基板の反りの発生を除去または抑制することが可能となる。

【0008】

前記第2の絶縁層は、前記第1の絶縁層と同じ材料であることを特徴とする。

このような構成によれば、第1の絶縁層の内部応力と第2の絶縁層とを同種の層で構成するため、両層の内部応力を同じ方向の内部応力にすることが可能となり、基板と第1の絶縁層との内部応力の差を平衡または減少させることが可能となる。この結果、基板と基板の能動面に形成される第1の絶縁層と内部応力の差により発生する基板の反りの発生を

抑制することが可能となる。

【0009】

または、前記第2の絶縁層を、前記第1の絶縁層の厚さとほぼ等しくすることも好ましい。

このような構成によれば、第1の絶縁層の内部応力と第2の絶縁層とを同種の層で構成するため、両層の内部応力を同じ方向の内部応力にすることが可能となる。さらに、第1の絶縁層と第2の絶縁層との層厚がほぼ等しいため、上述したように両絶縁層の内部応力を同じ方向とし、かつ、両絶縁層の内部応力の大きさをほぼ等しくすることが可能となる。この結果、第1の絶縁層と第2の絶縁層との内部応力が互いに打ち消し合いになり、基板には内部応力が作用せず、基板と基板の能動面に形成される第1の絶縁層と内部応力の差により発生する基板の反りの発生を抑制することが可能となる。

【0010】

また、本発明は、基板を貫通する電極を有する半導体装置の製造方法であって、基板の能動面に凹部を形成する工程と、前記凹部の内部を含む前記基板の能動面に第1の絶縁層を形成する工程と、前記第1の絶縁層上に内部応力の方向が前記第1の絶縁層と異なる方向である第2の絶縁層を積層する工程と、前記絶縁層が形成された前記凹部の内部に導電体を充填して、前記電極を形成する工程と、前記能動面の裏面側を除去し、前記能動面の裏面から前記電極、前記電極の外周部に形成された前記第1の絶縁層および前記第2の絶縁層を露出させる工程と、前記能動面の裏面から前記電極を露出させる工程と、を有することを特徴とする。

【0011】

基板と基板の能動面に形成される絶縁層とは、それぞれ内部応力が異なる。チップ化する際に、この内部応力の差により、基板は、第1の基板の能動面側または裏面側に湾曲して反ることになる。本発明によれば、基板の能動面側に形成される第1の絶縁層上に内部応力の方向が異なる第2の絶縁層を積層するため、第2の絶縁層の内部応力により、基板と基板の能動面に形成される第1の絶縁層との内部応力の差を、平衡または減少させることが可能となる。この結果、基板と基板の能動面に形成される第1の絶縁層と内部応力の差により発生する基板の反りの発生を除去または抑制することが可能となる。

【0012】

また、本発明は上記半導体装置を備える回路基板であることを特徴とする。これにより、上記効果を伴った回路基板を提供することができる。さらに、本発明は上記回路基板を備える電子機器であることを特徴とする。これにより、上記効果を伴った電子機器を提供することが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態につき、図面を参照して説明する。なお、以下の説明に用いる各図面では、各層および各部材を認識可能な大きさとするため、各層および各部材の縮尺を適宜変更している。

【0014】

〔第1実施形態〕

最初に、本発明に係る半導体装置の第1実施形態である半導体チップにつき、図1を用いて説明する。図1は本実施形態に係る半導体チップの電極部分の側面断面図である。本実施形態に係る半導体チップ2は、集積回路が形成された基板10と、基板10の能動面10aから基板10の裏面10bにかけて形成された貫通孔H4の内部に、第1の絶縁層22を介して形成された電極34と、基板10の裏面10bに形成された第2の絶縁層26とを有するものである。

【0015】

(半導体装置)

図1に示す半導体チップ2では、Si(ケイ素)等からなる基板10の表面10aに、トランジスタ、メモリ素子、その他の電子素子からなる集積回路(図示省略)が形成さ

れている。その基板10の能動面10aには、 SiO_2 （酸化ケイ素）等からなる絶縁膜12が形成されている。さらに、その絶縁膜12の表面には、硼磷珪酸ガラス（以下、BPSGという）等からなる層間絶縁膜14が形成されている。

【0016】

その層間絶縁膜14の表面の所定部分には、電極パッド16が形成されている。この電極パッド16は、Ti（チタン）等からなる第1層16a、TiN（窒化チタン）等からなる第2層16b、AlCu（アルミニウム／銅）等からなる第3層16c、およびTiN等からなる第4層（キャップ層）16dを、順に積層して形成されている。なお、電極パッド16の構成材料は、電極パッド16に必要とされる電気的特性、物理的特性、および化学的特性に応じて適宜変更してもよい。すなわち、集積回路の電極として一般に用いられるAlのみを用いて電極パッド16を形成してもよく、電気抵抗の低いCuのみを用いて電極パッド16を形成してもよい。

【0017】

この電極パッド16は、平面視において半導体チップ2の周辺部に並んで形成されている。なお、電極パッド16は、半導体チップ2の周辺部に並んで形成される場合と、中央部に並んで形成される場合とがある。周辺部に形成される場合には、半導体チップ2の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んで形成される。そして、各電極パッド16は、上述した集積回路と、図示しない箇所電気的に接続されている。なお、電極パッド16の下方には集積回路が形成されていない点に注意されたい。

【0018】

その電極パッド16を覆うように、層間絶縁膜14の表面にパッシベーション膜18が形成されている。パッシベーション膜18は、 SiO_2 （酸化ケイ素）やSiN（窒化ケイ素）、ポリイミド樹脂等からなり、例えば1 μm 程度の厚さに形成されている。

【0019】

そして、電極パッド16の中央部には、パッシベーション膜18の開口部H1および電極パッド16の開口部H2が形成されている。なお、開口部H2の直径は、開口部H1の径よりも小さく、例えば60 μm 程度に設定されている。また、電極パッド16における第4層16dは、開口部H1と同径に開口されている。一方、パッシベーション膜18の表面並びに開口部H1および開口部H2の内面には、 SiO_2 （酸化ケイ素）等からなる絶縁膜20が形成されている。

【0020】

そして、電極パッド16の中央部に、絶縁膜20、層間絶縁膜14、絶縁膜12および基板10を貫通する孔部H3が形成されている。孔部H3の直径は、開口部H2の直径より小さく、例えば30 μm 程度に形成されている。なお、孔部H3は、平面視円形に限られず、平面視矩形に形成してもよい。そして、開口部H1、開口部H2および孔部H3により、基板の能動面から裏面に貫通する貫通孔H4が形成される。

【0021】

絶縁層22は、上記貫通孔H4の内壁面に沿って形成され、さらに、貫通孔H4の内壁面から、基板10に形成される絶縁膜20上に延在して形成されている。上記貫通孔H4の内部および貫通孔H4の開口部H1の直径より若干大きい領域には、後述する電極34が形成される。従って、その他の電極34が形成される領域以外は、絶縁層22が露出した状態となっている。また、電極パッド16の第3層16cの表面に形成された絶縁膜20および絶縁層22は、開口部H2の周縁に沿って一部除去され、電極パッド16と電極34とが電気的に接続されるようになっている。この絶縁層22は、電流リークの発生、酸素および水分等による浸食等を防止するものである。さらに、絶縁層22は、上記貫通孔H4の内壁面から基板10の裏面10bへ突出して形成され、基板10の裏面に電極端子を形成する場合の保護膜として機能する。上記絶縁層22は、例えば、伸び側方向の内部応力を有しており、層厚としては、3 μm 程度の厚さに形成されている。

【0022】

その貫通孔H4の内面および絶縁膜20の表面に、第1の絶縁層である絶縁層22

が形成されている。この絶縁層22は、電流リークの発生、酸素および水分等による浸食等を防止するものであり、例えば、 $3\mu\text{m}$ 程度の厚さに形成されている。また、この絶縁層22は伸び側の内部応力を有している。また、絶縁層22は、基板10の裏面10bから突出形成されている。一方、電極パッド16の第3層16cの表面に形成された絶縁膜20および絶縁層22は、開口部H2の周縁に沿って一部除去されている。

【0023】

これによって露出した電極パッド16の第3層16cの表面と、残された絶縁層22の表面には、下地膜24が形成されている。この下地膜24は、絶縁層22等の表面に形成されたバリア層（バリアメタル）と、バリア層の表面に形成されたシード層（シード電極）とによって構成されている。バリア層は、後述する電極34の構成材料が基板10に拡散するのを防止するものであり、TiW（チタニウムタングステン）やTiN（チタンナイトライド）、TaN（タンタルナイトライド）等からなる。一方、シード層は、後述する電極34をメッキ処理によって形成する際の電極になるものであり、CuやAu、Ag等からなる。

【0024】

そして、この下地膜24の内側に、電極34が形成されている。この電極34は、CuやW等の電気抵抗の低い導電材料からなる。なお、poly-Si（ポリシリコン）にBやP等の不純物をドーパした導電材料により電極34を形成すれば、基板10への拡散を防止する必要がなくなるので、上述したバリア層が不要となる。そして、貫通孔H4に電極34を形成することにより、電極34のプラグ部36が形成される。なお、プラグ部36と電極パッド16とは、図1中のP部において下地膜24を介して電氣的に接続されている。また、プラグ部36の下端面は外部に露出している。一方、パッシベーション膜18の上方であって開口部H1の周縁部にも電極34を延設することにより、電極34のポスト部35が形成される。このポスト部35は、平面視円形に限られず、平面視矩形に形成してもよい。

【0025】

一方、基板10の裏面10bには、第2の絶縁層26が形成されている。絶縁層26は、 SiO_2 （酸化ケイ素）やSiN（窒化ケイ素）などの無機物や有機物等からなる。第2の絶縁層26の層厚としては、例えば、第1の絶縁層22と同じ層厚である $3\mu\text{m}$ である。また、この絶縁層26は伸び側の内部応力を有しており、上述した第1の絶縁層22とは、同じ方向の内部応力を有している。また、絶縁層26は、電極34のプラグ部36の下端面を除いて、基板10の裏面10bの全面に形成されている。

【0026】

なお、第1の実施の形態では、基板10の裏側における電極34のプラグ部36の先端面が、絶縁層26の表面から突出形成されている。プラグ部36の突出高さは、例えば、 $10\mu\text{m}$ ～ $20\mu\text{m}$ 程度とされている。これにより、複数の半導体チップを積層する際に、半導体チップ相互の間隔を確保できるので、各半導体チップの隙間にアンダーフィル等を容易に充填することができる。なお、プラグ部36の突出高さを調整することにより、積層された半導体チップ相互の間隔を調整することができる。また、積層後にアンダーフィル等を充填する代わりに、積層前に半導体チップ2の裏面10bに熱硬化性樹脂等を塗布する場合でも、突出したプラグ部36を避けて熱硬化性樹脂等を塗布することができるので、半導体チップの配線接続を確実に行うことができる。

【0027】

一方、電極34のポスト部35の上面には、ハンダ層40が形成されている。このハンダ層40は、一般的なPbSn合金等で形成してもよいが、AgSn合金等の鉛フリーのハンダ材料で形成するのが環境面等から好ましい。なお、軟焊材であるハンダ層40の代わりに、SnAg合金等からなる硬焊材（熔融金属）層や、Agペースト等からなる金属ペースト層を形成してもよい。この硬焊材層や金属ペースト層も、鉛フリーの材料で形成するのが環境面等から好ましい。本実施形態に係る半導体チップ2は、以上のように構成されている。

【0028】

本実施の形態によれば、基板10の裏面側に内部応力が第1の絶縁層22と同じ方向である第2の絶縁層26を形成するため、第2の絶縁層26の内部応力により、基板10と基板10の能動面に形成される第1の絶縁層22との内部応力の差を、平衡または減少させることが可能となる。この結果、基板10と基板10の能動面に形成される第1の絶縁層22と内部応力の差により発生する基板の反りの発生を除去または抑制することが可能となる。

【0029】

なお、第1の実施の形態において、基板10の能動面に形成する絶縁層22および基板10の裏面に形成する絶縁層26の層厚、またはこのそれぞれの層を構成する材料を適宜変更することも好ましい。具体的には、第1の絶縁層22および第2の絶縁層26をSiO₂で構成してそれぞれの層種を同じくし、第1の絶縁層22と第2の絶縁層26との層厚を異ならせることも好ましい。このときの層厚としては、例えば、第1の絶縁層22の層厚を3 μ m、第2の絶縁層26の層厚を2 μ mである。このように、第1の絶縁層22と第2の絶縁層28との層厚が異なるため、基板10に作用する内部応力を除去することはできないが、両絶縁層は層種が同種であるため、内部応力の方向が同じとなり、基板10と第1の絶縁層22との内部応力の差を減少させることができ、基板の反りの発生を抑制することが可能となる。

【0030】

また、第1の絶縁層22をSiO₂で構成し、第2の絶縁層26を第1の絶縁層22とは構成する材料が異なり層種を異にするが、内部応力の方向が等しいSiNで構成し、さらに第1の絶縁層22と第2の絶縁層26との層厚を異ならせることも好ましい。このときの層厚としては、第1の絶縁層22の層厚が3 μ m、第2の絶縁層26の層厚が2 μ mである。これにより、第1の絶縁層22と第2の絶縁層28との層種および層厚は異なるが、両絶縁層の内部応力の方向は同じであるため、基板10と第1の絶縁層22との内部応力の差を減少させることができ、基板の反りの発生を抑制することが可能となる。

【0031】

また、第1の絶縁層22をSiO₂で構成し、第2の絶縁層26を第1の絶縁層22とは構成する材料が異なり層種を異にするが、内部応力の方向が等しいSiNで構成し、さらに第1の絶縁層22と第2の絶縁層26との層厚を異ならせ、チップ化時に問題のない反りの発生が生じる程度に第2の絶縁層26をエッチング等により除去し、薄くすることも好ましい。このときの層厚としては、第1の絶縁層22の層厚が3 μ m、第2の絶縁層26の層厚が0.5 μ mである。これにより、第1の絶縁層22と第2の絶縁層28との層種および層厚は異なるが、両絶縁層の内部応力の方向は同じであるため、基板10と第1の絶縁層22との内部応力の差を減少させることができ、基板の反りの発生を抑制することが可能となる。

【0032】

(製造方法)

次に、本実施形態に係る半導体チップの製造方法につき、図2～図6を用いて説明する。図2～図6は、本実施形態に係る半導体チップの製造方法の説明図である。なお以下には、基板における多数の半導体チップ形成領域に対して同時に処理を行う場合を例にして説明するが、個々の半導体チップに対して以下に示す処理を行ってもよい。

【0033】

まず、図2(a)に示すように、基板10の表面に、絶縁膜12および層間絶縁膜14を形成する。そして、層間絶縁膜14の表面に電極パッド16を形成する。具体的には、まず層間絶縁膜14上の全面に、電極パッド16の第1層から第4層の被膜を順次形成する。なお、各被膜の形成はスパッタリング等によって行う。次に、その表面にレジスト等を塗布する。さらに、フォトリソグラフィ技術により、レジストに電極パッド16の最終形状をパターンニングする。そして、パターンニングされたレジストをマスクとしてエッチングを行い、電極パッドを所定形状(例えば、矩形形状)に形成する。その後、電極

パッド16の表面にパッシベーション膜18を形成する。

【0034】

次に、パッシベーション膜18に対して開口部H1を形成する。その具体的な手順は、まずパッシベーション膜の全面にレジスト等を塗布する。レジストは、フォトリソグラフィや電子線レジスト、X線レジスト等の何れであってもよく、ポジ型またはネガ型の何れであってもよい。また、レジストの塗布は、スピコート法、ディッピング法、スプレーコート法等によって行う。なお、レジストを塗布した後にプリベークを行う。そして、開口部H1のパターンが形成されたマスクを用いてレジストに露光処理を行い、さらに現像処理を行うことによってレジストに開口部H1の形状をパターニングする。なお、レジストのパターニング後にポストベークを行う。

【0035】

そして、パターニングされたレジストをマスクとして、パッシベーション膜18をエッチングする。なお本実施形態では、パッシベーション膜18とともに電極パッド16の第4層もエッチングする。エッチングには、ウェットエッチングを採用することもできるが、ドライエッチングを採用することが好ましい。ドライエッチングは、反応性イオンエッチング(RIE: Reactive Ion Etching)であってもよい。なお、パッシベーション膜18に開口部H1を形成した後で、パッシベーション膜18上のレジストを剥離液によって剥離する。以上により、図2(a)に示すように、パッシベーション膜18に開口部H1が形成されて、電極パッド16が露出する。

【0036】

次に、図2(b)に示すように、電極パッド16に対して開口部H2を形成する。その具体的な手順は、まず露出した電極パッド16およびパッシベーション膜18の全面にレジスト等を塗布して、開口部H2の形状をパターニングする。

次に、パターニングされたレジストをマスクとして、電極パッド16をドライエッチングする。なお、ドライエッチングにはRIEを用いることができる。その後、レジストを剥離すれば、図2(b)に示すように、電極パッド16に開口部H2が形成される。

【0037】

次に、図2(c)に示すように、基板10の上方の全面に絶縁膜20を形成する。この絶縁膜20は、ドライエッチングにより基板10に孔部H3を穿孔する際に、マスクとして機能するものである。なお、絶縁膜20の膜厚は、基板10に穿孔する孔部H3の深さにより、例えば2 μ m程度に設定する。本実施形態では、絶縁膜20としてSiO₂を用いたが、Siとの選択比が取ればフォトリソグラフィを用いてもよい。また、絶縁膜20には、PECVD(Plasma Enhanced Chemical Vapor Deposition)を用いて形成した正珪酸四エチル(Tetra Ethyl Ortho Silicate: Si(OC₂H₅)₄:以下、TEOSという)すなわちPE-TEOS、またはオゾンを用いた熱CVDであるO₃-TEOS、またはCVDを用いて形成した酸化シリコンなどを用いることができる。

【0038】

次に、絶縁膜20に孔部H3の形状をパターニングする。その具体的な手順は、まず絶縁膜20の全面にレジスト等を塗布して、孔部H3の形状をパターニングする。次に、パターニングされたレジストをマスクとして、絶縁膜20、層間絶縁膜14および絶縁膜12をドライエッチングする。その後、レジストを剥離すれば、絶縁膜20等に孔部H3の形状がパターニングされて、基板10が露出する。

【0039】

次に、高速ドライエッチングにより、基板10に孔部H3を穿孔する。なお、ドライエッチングとしてRIEやICP(Inductively Coupled Plasma)を用いることができる。その際、上述したように絶縁膜20(SiO₂)をマスクとして用いるが、絶縁膜20の代わりにレジストをマスクとして用いてもよい。なお、孔部H3の深さは、最終的に形成する半導体チップの厚みに応じて適宜設定される。すなわち、半導体チップを最終的な厚さまでエッチングした後に、孔部H3の内部に形成した電極の先端部が基板10の裏面に露出し得るように、孔部H3の深さを設定する。以上により、図2(c)に示すよう

に、基板10に孔部H3が形成される。そして、開口部H1、開口部H2および孔部H3により、基板10の能動面から内部にかけて凹部H0が形成される。

【0040】

次に、図3(a)に示すように、凹部H0の内面および絶縁膜20の表面に、第1の絶縁層である絶縁層22を形成する。この絶縁層22は、例えばPE-TEOSまたはO₃-TEOSなどからなり、例えばプラズマTEOSなどにより、表面層厚が3μm程度となるように形成する。

【0041】

次に、絶縁層22および絶縁膜20に異方性エッチングを施して、電極パッド16の一部を露出させる。なお本実施形態では、開口部H2の周辺に沿って電極パッド16の表面の一部を露出させる。その具体的な手順は、まず絶縁層22の全面にレジスト等を塗布して、露出させる部分をパターニングする。次に、パターニングされたレジストをマスクとして、絶縁層22および絶縁膜20を異方性エッチングする。この異方性エッチングには、RIE等のドライエッチングを用いることが好適である。以上により、図3(a)に示す状態となる。

【0042】

次に、図3(b)に示すように、露出させた電極パッド16の表面と、残された絶縁層22の表面に、下地膜24を形成する。下地膜24として、まずバリア層を形成し、その上にシード層を形成する。バリア層およびシード層は、例えば真空蒸着、スパッタリング、イオンプレーティング等のPVD(Physical Vapor Deposition)法や、CVD法、IMP(イオンメタルプラズマ)法、無電解メッキ法などを用いて形成する。

【0043】

次に、図4(a)に示すように、電極34を形成する。その具体的な手順は、まず基板10の上方の全面にレジスト32を塗布する。レジスト32として、メッキ用液体レジストまたはドライフィルムなどを採用することができる。なお、半導体装置で一般的に設けられるA1電極をエッチングする際に用いられるレジストまたは絶縁性を有する樹脂レジストを用いることもできるが、後述の工程で用いるメッキ液およびエッチング液に対して耐性を持つことが前提である。

【0044】

レジスト32の塗布は、スピンコート法やディッピング法、スプレーコート法などによって行う。ここで、レジスト32の厚さは、形成すべき電極34のポスト部35の高さにハンダ層40の厚さを加えたものと同程度に設定する。なお、レジスト32を塗布した後にプリベークを行う。

【0045】

次に、形成すべき電極34のポスト部35の平面形状をレジストにパターニングする。具体的には、所定のパターンが形成されたマスクを用いて露光処理および現像処理を行うことにより、レジスト32をパターニングする。ここで、ポスト部35の平面形状が矩形であれば、レジスト32に矩形形状の開口部をパターニングする。開口部の大きさは、半導体チップにおける電極34のピッチなどに応じて設定するが、例えば120μm四方または80μm四方の大きさに形成する。なお、パターニング後にレジスト32の倒れが生じないように、開口部の大きさを設定する。

【0046】

なお、以上には、電極34のポスト部35を取り囲むようにレジスト32を形成する方法について説明した。しかしながら、必ずしもポスト部35の全周を取り囲むようにレジスト32を形成しなければならないという訳ではない。例えば、図4(a)の紙面の左右方向にのみ隣接して電極34が形成される場合には、同紙面の奥行き方向にはレジスト32を形成しなくてもよい。このように、レジスト32はポスト部35の外形形状の少なくとも一部に沿って形成される。

【0047】

なお、以上には、フォトリソグラフィ技術を用いてレジスト32を形成する方法

について説明した。しかしながら、この方法でレジスト32を形成すると、レジストを全面に塗布する際にその一部が孔部H3内に入り込んで、現像処理を行っても孔部H3内に残渣として残るおそれがある。そこで、例えばドライフィルムを用いることにより、またスクリーン印刷等の印刷法を用いることにより、パターニングされた状態でレジスト32を形成するのが好ましい。また、インクジェット装置等の液滴吐出装置を用いて、レジストの液滴をレジスト32の形成位置のみに吐出することにより、パターニングされた状態でレジスト32を形成してもよい。これにより、孔部H3内にレジストが入り込むことなく、レジスト32を形成することができる。

【0048】

次に、このレジスト32をマスクとして電極材料を凹部H0に充填し、電極34を形成する。電極材料の充填は、メッキ処理やCVD法等によって行う。メッキ処理には、例えば電気化学プレーティング（ECP）法を用いる。なお、メッキ処理における電極として、下地膜24を構成するシード層を用いる。また、メッキ装置としてカップ式メッキ装置を用いる。カップ式メッキ装置は、カップ形状の容器からメッキ液を噴出させてメッキすることを特徴とする装置である。これにより、凹部H0の内部に電極材料が充填されて、プラグ部36が形成される。また、レジスト32に形成された開口部にも電極材料が充填されて、ポスト部35が形成される。

【0049】

次に、電極34の上面にハンダ層40を形成する。ハンダ層40の形成は、ハンダメッキ法やスクリーン印刷等の印刷法などによって行う。なお、ハンダメッキの電極として、下地膜24を構成するシード層を用いることができる。また、メッキ装置として、カップ式メッキ装置を用いることができる。一方、ハンダ層40の代わりに、SnAgなどからなる硬質材層を形成してもよい。硬質材層も、メッキ法や印刷法などによって形成することができる。以上により、図4（a）に示す状態となる。

【0050】

次に、図4（b）に示すように、剥離液等を用いてレジスト32を剥離（除去）する。なお、剥離液にはオゾン水等を用いることができる。続けて、基板10の上方に露出している下地膜24を除去する。その具体的な手順は、まず基板10の上方の全面にレジスト等を塗布し、電極34のポスト部35の形状をパターニングする。次に、パターニングされたレジストをマスクとして、下地膜24をドライエッチングする。なお、ハンダ層40の代わりに硬質材層を形成した場合には、その硬質材層をマスクとして下地膜24をエッチングすることができる。この場合、フォトリソグラフィ工程が不要となるので、製造工程を簡略化することができる。

【0051】

次に、図5（a）に示すように、基板10を上下反転させた上で、基板10の下方に補強部材50を装着する。補強部材50として、保護フィルム等を採用してもよいが、ガラス等の硬質材料を採用するのが好ましい。これにより、基板10の裏面10bを加工する際に、基板10に割れ等が発生するのを防止することができる。補強部材50は、接着剤52等を介して基板10に装着する。接着剤52として、熱硬化性接着剤や光硬化性接着剤等の硬化性接着剤を使用するのが望ましい。これにより、基板10の能動面10aにおける凹凸を吸収しつつ、補強部材50を強固に装着することができる。さらに、接着剤52として紫外線硬化性接着剤等の光硬化性接着剤を使用した場合には、補強部材50としてガラス等の透光性材料を採用するのが好ましい。この場合、補強部材50の外側から光を照射することによって、簡単に接着剤52を硬化させることができる。

【0052】

次に、図5（b）に示すように、基板10の裏面10bの全面をエッチングして、絶縁層22の先端部を露出させ、基板10の裏面10bより外側に電極34の先端部を配置する。このエッチングには、ウェットエッチングまたはドライエッチングの何れを用いてもよい。なお、基板10の裏面10bを粗研磨した後に、エッチングを行って絶縁層22の先端部を露出させるようにすれば、製造時間を短縮することができる。また、基板1

0のエッチングと同時に、絶縁層22および下地膜24をエッチングして除去してもよい。

【0053】

次に、図6(a)に示すように、基板10の裏面10bの全面に、第2の絶縁層26を形成する。この第2の絶縁層26の層厚としては、例えば、3 μ m程度である。また、絶縁層26としてSiO₂やSiNなどの被膜を形成する場合には、CVD法によって形成するのが好ましい。また、SOGを用いて絶縁層26を形成してもよい。SOG(Spin On Glass)は、塗布した後に400℃程度の温度でベーキングすることによりSiO₂となる液体であり、平坦化を目的としてLSIの層間絶縁膜に使用されている。具体的には、シロキサン結合を基本構造とするポリマーであって、アルコールなどが溶媒として使用されている。このSOGを塗布する場合にも、スピンコート法を用いる。

【0054】

なお、基板10の裏面10bの全面に絶縁層26を形成する代わりに、基板10の裏面10bにおける電極34の周辺のみ、選択的に絶縁層26を形成してもよい。この場合には、インクジェット装置等の液滴吐出装置を用いて絶縁膜の材料液を電極34の周辺のみに吐出し、乾燥・焼成して絶縁層26を形成すればよい。

【0055】

次に、図6(b)に示すように、電極34の先端部を露出させる。具体的には、電極34の先端部を覆っている絶縁層26、絶縁層22および下地膜24を除去して、電極34の先端部を露出させる。絶縁層26、絶縁層22および下地膜24の除去は、CMP(Chemical and Mechanical Polishing)研磨等によって行う。CMPは、基板に対する研磨布による機械的研磨と、そこに供給される研磨液による化学作用との兼ね合いによって、基板の研磨を行うものである。なお、絶縁層26、絶縁層22および下地膜24を研磨により除去する際に、電極34の先端部を研磨してもよい。この場合、下地膜24が完全に除去されるので、半導体チップの積層時における電極間の導通不良を防止することができる。

【0056】

その後、溶剤等により接着剤52を溶解して、基板10から補強部材50を取り外す。次に、基板10の裏面10bにダイシングテープ(図示省略)を貼り付けた上で、基板10をダイシングすることにより、半導体チップの個片に分離する。なお、CO₂レーザーやYAGレーザーを照射して基板10を切断してもよい。

以上により、図1に示す状態となり、本実施形態に係る半導体チップ2が完成する。

【0057】

(積層構造)

以上のように形成した半導体チップ2を積層して、3次元実装された半導体装置を形成する。図7は、本実施形態に係る半導体チップを積層した状態の側面断面図であり、図13のA部に相当する部分における拡大図である。各半導体チップ2a、2bは、下層の半導体チップ2bにおける電極34のポスト部の上面に、上層の半導体チップ2aにおける電極34のプラグ部の下端面が位置するように配置する。そして、ハンダ層40を介することにより、各半導体チップ2a、2bにおける電極34を相互に接合する。具体的には、リフローによりハンダ層40を溶解させつつ、各半導体チップ2a、2bを相互に加圧する。これにより、ハンダ層40と電極34との接合部にハンダ合金が形成されて、両者が機械的および電氣的に接合される。以上により、各半導体チップ2a、2bが配線接続される。なお、必要に応じて、積層した各半導体チップ相互の隙間にアンダーフィルを充填する。

【0058】

ところで、溶解したハンダ層40は、上層の半導体チップ2aにおける電極のプラグ部36の外周に沿って上方に変形するので、上層の半導体チップ2aの裏面10bに当接する場合がある。なお、ハンダ層40には信号線が接続され、半導体チップ2aの裏面10bにはグランドが接続されているので、両者の短絡を防止する必要がある。この点、

本実施形態では、半導体チップ2 aの裏面1 0 bに絶縁層2 6が形成されているので、半導体チップを積層する際に、ハンダ層4 0と半導体チップ2 aの裏面1 0 bとの短絡を防止することが可能となる。従って、信号線とグランドとの短絡を防止しつつ、3次元実装を行うことができる。

【0059】

近年では、半導体装置に対する小型化および軽量化の要求により、基板の裏面を大幅にエッチングして、半導体チップを非常に薄く形成する。そのため、裏面エッチング後の基板を加工すると、基板が割れるなど破損する場合がある。そこで、裏面エッチング後の基板には、必要最小限度の加工を施すことしかできなかった。従って、基板の裏面に絶縁膜を形成するという発想に至ることはなかった。しかし最近になって、基板の裏面をエッチングする前に、基板の能動面に補強部材を装着することにより、裏面エッチング後の基板を自由に加工する技術が開発された。この補強部材の装着技術は、基板の能動面における凹凸を吸収しつつ補強部材を装着し、また基板の加工後には自由に補強部材を取り外すことができるというものである。これにより、初めて基板の裏面に絶縁膜を形成するという本発明を想到するに至ったのである。

【0060】

(再配置配線)

以上のように積層形成された半導体装置を回路基板に実装するため、再配線を行うのが望ましい。まず、再配線について簡単に説明する。図8は、半導体チップの再配線の説明図である。図8(a)に示す半導体チップ6 1の表面には、その対辺に沿って複数の電極6 2が形成されているので、隣接する電極相互のピッチが狭くなっている。このような半導体チップ6 1を回路基板に実装すると、隣接する電極相互が短絡するおそれがある。そこで、電極相互のピッチを広げるため、半導体チップ6 1の対辺に沿って形成された複数の電極6 2を中央部に引き出す再配線が行われている。

【0061】

図8(b)は、再配線を行った半導体チップの平面図である。半導体チップ6 1の表面中央部には、円形状の複数の電極パッド6 3がマトリクス上に配列形成されている。各電極パッド6 3は、再配線6 4により1個または複数個の電極6 2に接続されている。これにより、狭ピッチの電極6 2が中央部に引き出されて、広ピッチ化されている。

【0062】

図9は、図8(b)のA-A線における側面断面図である。上記のように積層形成された半導体装置を上下反転して、最下層となる半導体チップ6 1の底面中央部には、ソルダーレジスト6 5が形成されている。そして、電極6 2のポスト部からソルダーレジスト6 5の表面にかけて、再配線6 4が形成されている。再配線6 4のソルダーレジスト6 5側の端部には電極パッド6 3が形成され、その電極パッドの表面にバンプ7 8が形成されている。バンプ7 8は、例えばハンダバンプであり、印刷法等によって形成する。なお、半導体チップ6 1の底面全体には、補強用の樹脂6 6等が成型されている。

【0063】

(回路基板)

図10は、回路基板の斜視図である。図10では、半導体チップを積層して形成した半導体装置1が、回路基板1000に実装されている。具体的には、半導体装置1における最下層の半導体チップに形成されたバンプが、回路基板1000の表面に形成された電極パッドに対して、リフローやFCB(Flip Chip Bonding)等を行うことにより実装されている。なお、回路基板との間に異方導電性フィルム等を挟み込んで、半導体装置1を実装してもよい。

【0064】

[第2実施形態]

図11は、本実施の形態における半導体チップ2の断面図である。上述した第1の実施の形態においては、第2の絶縁層2 8は、基板10の裏面に形成したのに対して、本実施の形態においては、第1の絶縁層2 2上に第2の絶縁層2 8を積層して形成している点に

において異なる。以下に、第1の実施の形態と異なる構成について図11を参照して説明する。なお、第1の実施の形態と同様の構成については説明を省略する。

第1の絶縁層22は、上述したようにSiO₂等から構成され、絶縁膜20上に形成されている。そして、第2の絶縁層28は、図11に示すように、この第1の絶縁層22上に積層されている。この第2の絶縁層22は、第1の絶縁層22とは内部応力の方向が異なるPI（ポリイミド）等から形成されている。すなわち、上記第1の絶縁層22は、伸び側方向の内部応力を有し、第2の絶縁層28は、第1の絶縁層22の内部応力とは反対の圧縮側方向の内部応力を有する。上記第1の絶縁層22の層厚としては、例えば3 μ m程度であり、第2の絶縁層28の層厚としては、例えば10 μ m程度である。なお、上述した第1の絶縁層22上に第2の絶縁層28が積層されている以外は、第1の実施の形態の図1において説明した半導体チップ2の構成と同様である。

【0065】

以下に、本実施の形態に係る半導体チップの製造方法を図12を参照して説明する。なお、上述した第1の実施の形態と同様の工程を用いる場合には説明を省略する。

まず、第1の実施の形態における図2(a)～(c)、図3(a)に示すように、基板10に凹部H0を形成し、第1の絶縁層22を形成する。次に、第2の絶縁層28を、ポリイミド樹脂等を溶媒に溶解し、スピンコート法、ディップコート法などの各種塗布法により溶解したポリイミド樹脂等を第1の絶縁層22上に塗布して形成する。その後、この塗布した第2の絶縁層28を乾燥・焼成することも好ましい。そして、図12に示すように、絶縁膜20、第1の絶縁層22および第2の絶縁層28に異方性エッチングを施して、電極パッド16の一部を露出させる。なお、本実施の形態では、開口部H2の周辺に沿って電極パッド16の表面の一部を露出させる。このようにして、露出させた電極パッド16と電極34とを電氣的に接続させている。

続けて、図3(b)～図6(a)、(b)に示すように、第1の実施の形態と同様の工程が行われる。このような工程を経て半導体チップ2が形成される。

【0066】

基板10と基板10の能動面に形成される第1の絶縁層22とは、それぞれ内部応力が異なる。チップ化する際に、この内部応力の差により、基板10は、第1の基板の能動面側または裏面側に湾曲して反ることになる。本実施の形態によれば、基板10の裏面側に基板10に対する内部応力が前記第1の絶縁層とは反対方向である第2の絶縁層28を第1の絶縁層22上に形成する。そのため、第2の絶縁層28の内部応力により、基板10と基板10の能動面に形成される第1の絶縁層22との内部応力の差を、第2の絶縁層28の内部応力により平衡または減少させることが可能となる。この結果、基板10と基板10の能動面に形成される第1の絶縁層22と内部応力の差により発生する基板の反りの発生を除去または抑制することが可能となる。

【0067】

なお、上記第2の実施の形態においては、第2の絶縁層28を第1の絶縁層22上に形成したが、基板の凹部H0に電極34を形成し、この電極34の上面にハンダ層40を形成した後に、このハンダ層40上を含む基板10に第2の絶縁層28を形成することも好ましい。この場合には、ハンダ層40を含む第1の絶縁層の全面にレジストを塗布し、露光処理、現像処理により所定の形状にレジストをパターンニングする。その後、パターンニングしたレジストをマスクとしてエッチングを行い、ハンダ層40上面に形成されている第2の絶縁層28を除去し、電極34の外周部に形成されている第2の絶縁層28を残留させる。また、基板10上に絶縁膜12を形成した後に、第2の絶縁層28を積層することも好ましい。

(電子機器)

次に、上述した半導体装置を備えた電子機器の例について、図12を用いて説明する。図12は、携帯電話の斜視図である。上述した半導体装置は、携帯電話300の筐体内部に配置されている。

【0068】

なお、上述した半導体装置は、携帯電話以外にも種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）およびエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などの電子機器に適用することが可能である。

【0069】

なお、上述した実施形態の「半導体チップ」を「電子素子」に置き換えて、電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリュームおよびヒューズなどを挙げることができる。

【0070】

なお、本発明の技術範囲は、上述した実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において、上述した実施形態に種々の変更を加えたものを含む。すなわち、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

【図面の簡単な説明】

【0071】

【図1】第1の実施の形態に係る半導体チップの電極部分の側面断面図である。

【図2】第1の実施の形態に係る半導体チップの製造方法の説明図である。

【図3】第1の実施の形態に係る半導体チップの製造方法の説明図である。

【図4】第1の実施の形態に係る半導体チップの製造方法の説明図である。

【図5】第1の実施の形態に係る半導体チップの製造方法の説明図である。

【図6】第1の実施の形態に係る半導体チップの製造方法の説明図である。

【図7】第1の実施の形態に係る半導体装置の積層状態の説明図である。

【図8】再配線の説明図である。

【図9】再配線の説明した模式図である。

【図10】回路基板の説明図である。

【図11】第2の実施の形態に係る半導体チップの電極部分の側面断面図である。

【図12】第2の実施の形態に係る半導体チップの製造方法の説明図である。

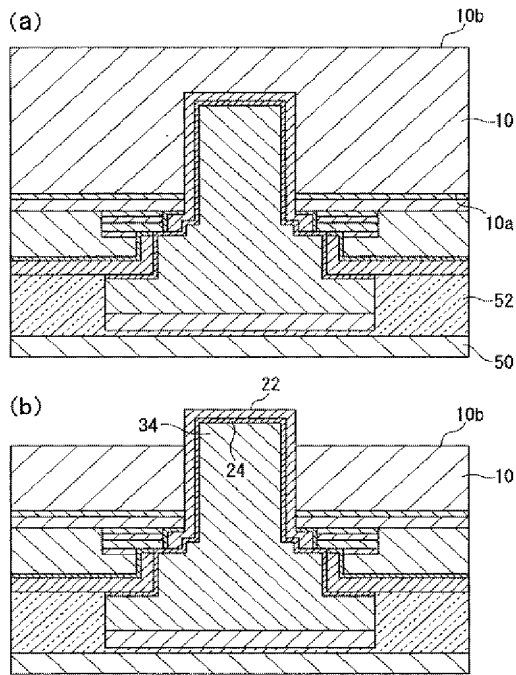
【図13】電子機器の一例である携帯電話の斜視図である。

【符号の説明】

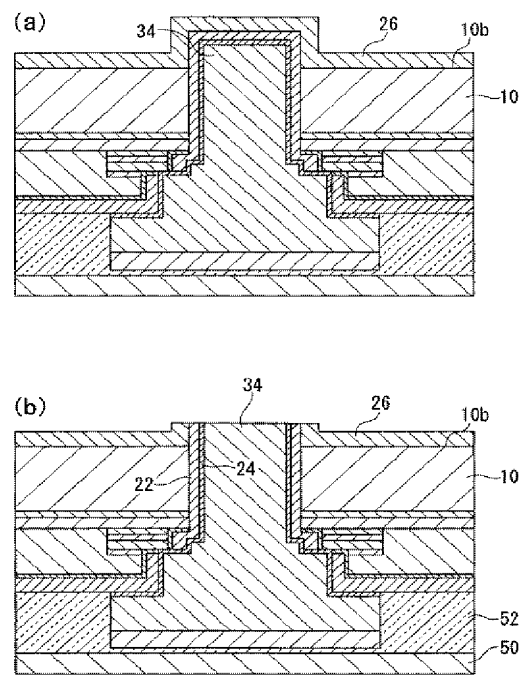
【0072】

2…半導体チップ、 10…基板、 22…第1の絶縁層、 24…下地膜、
26、28…第2の絶縁層、 34…電極

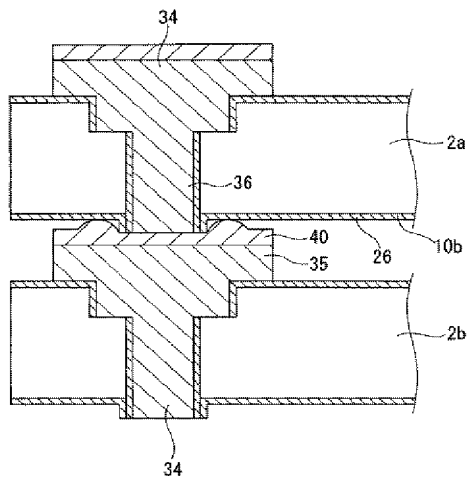
【図5】



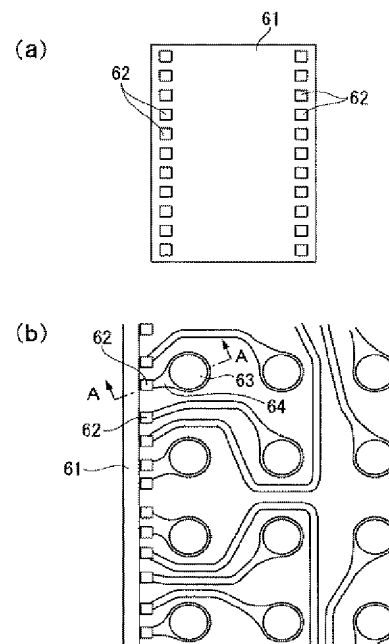
【図6】



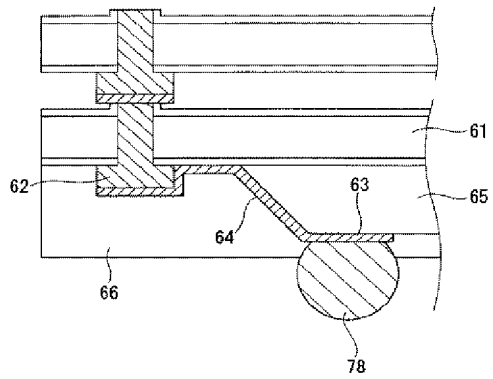
【図7】



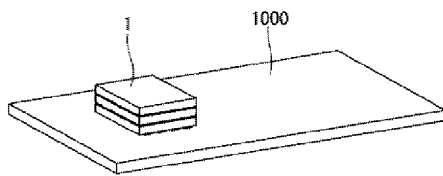
【図8】



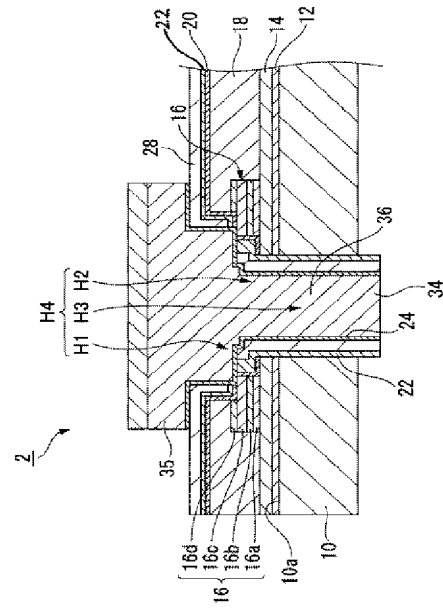
【図9】



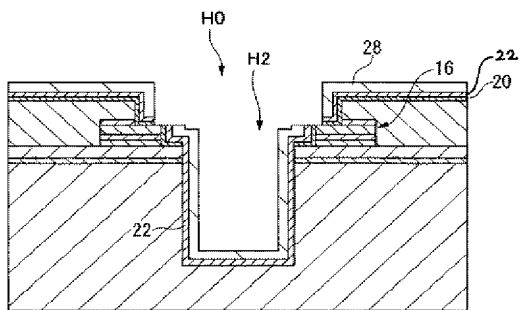
【図10】



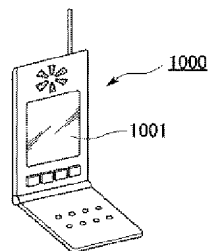
【図11】



【図12】



【図13】



F ターム(参考) 5F033 HH07 HH09 HH11 HH13 HH14 HH18 HH23 HH32 HH33 JJ11
JJ13 JJ14 JJ23 JJ32 JJ33 KK09 KK18 KK33 MM08 MM13
MM30 NN05 NN07 NN12 NN37 NN40 PP06 PP15 PP20 PP26
PP27 PP28 QQ07 QQ08 QQ09 QQ16 QQ27 QQ28 QQ30 QQ37
QQ48 RR04 RR06 RR09 RR15 RR22 SS04 SS15